

日本国特許庁
JAPAN PATENT OFFICE

07.12.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年12月 8日

出願番号 Application Number: 特願2003-408376

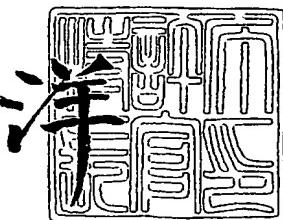
[ST. 10/C]: [JP2003-408376]

出願人 Applicant(s): ローム株式会社

2005年 1月 14日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 03-00446
【提出日】 平成15年12月 8日
【あて先】 特許庁長官 殿
【国際特許分類】 G09G 3/36
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町21番地 ローム株式会社内
 【氏名】 故島 秀数
【特許出願人】
 【識別番号】 000116024
 【氏名又は名称】 ローム株式会社
 【代表者】 佐藤 研一郎
【代理人】
 【識別番号】 100083231
 【弁理士】
 【氏名又は名称】 紋田 誠
【選任した代理人】
 【識別番号】 100112287
 【弁理士】
 【氏名又は名称】 逸見 輝雄
【手数料の表示】
 【予納台帳番号】 016241
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9901021

【書類名】特許請求の範囲

【請求項 1】

表示用基準電圧から抵抗分圧して複数のバイアス電圧を発生する抵抗分圧回路と、前記複数のバイアス電圧をそれぞれインピーダンス変換して出力電圧として出力する複数のバッファ回路と、マトリクス型表示素子の走査側電極に印加する電圧を前記複数のバッファ回路の出力電圧から選択して印加する走査側駆動回路と、前記マトリクス型表示素子の信号側電極に印加する電圧を前記複数のバッファ回路の出力電圧から選択して印加する信号側駆動回路を備える表示装置用駆動装置において、

前記複数バッファ回路のうちの少なくとも1つのバッファ回路は、

当該バッファ回路へのバイアス電圧と当該バッファ回路の出力電圧とがそれぞれ入力され高レベル側への出力電流の駆動能力を大きくした第1出力回路と、この第1出力回路から出力するための第1出力スイッチと、当該バッファ回路へのバイアス電圧と当該バッファ回路の出力電圧とがそれぞれ入力され低レベル側への出力電流の駆動能力を大きくした第2出力回路と、この第2出力回路から出力するための第2出力スイッチと、

当該バッファ回路へのバイアス電圧と当該バッファ回路の出力端側で検出された検出電圧とを比較し、その比較結果に応じて前記第1出力スイッチと前記第2出力スイッチとを切り替えるための電圧比較器とを有することを特徴とする、表示装置用駆動装置。

【請求項 2】

前記電圧比較器は、ヒステリシス特性を有することを特徴とする、請求項1記載の表示装置用駆動装置。

【請求項 3】

表示用基準電圧から抵抗分圧して複数のバイアス電圧を発生する抵抗分圧回路と、前記複数のバイアス電圧をそれぞれインピーダンス変換して出力電圧として出力する複数のバッファ回路と、マトリクス型表示素子の走査側電極に印加する電圧を前記複数のバッファ回路の出力電圧から選択して印加する走査側駆動回路と、前記マトリクス型表示素子の信号側電極に印加する電圧を前記複数のバッファ回路の出力電圧から選択して印加する信号側駆動回路を備える表示装置用駆動装置において、

前記複数バッファ回路のうちの1つのバッファ回路（以下、高電圧側バッファ回路）は、

当該高電圧側バッファ回路へのバイアス電圧と当該高電圧側バッファ回路の出力電圧が入力され高レベル側への出力電流の駆動能力を大きくした第1出力回路と、この第1出力回路から出力するための第1出力スイッチと、当該高電圧側バッファ回路へのバイアス電圧と当該高電圧側バッファ回路の出力電圧が入力され低レベル側への出力電流の駆動能力を大きくした第2出力回路と、この第2出力回路から出力するための第2出力スイッチと、

当該高電圧側バッファ回路へのバイアス電圧と表示素子に非表示時に印加される電圧を検出した検出電圧とを比較し、その比較結果に応じて前記第1出力スイッチと前記第2出力スイッチとを切り替えるための第1電圧比較器を有し、

前記複数バッファ回路のうちの他の1つのバッファ回路（以下、低電圧側バッファ回路）は、

前記高電圧側バッファ回路のバイアス電圧よりも低いバイアス電圧と当該低電圧側バッファ回路の出力電圧が入力され高レベル側への出力電流の駆動能力を大きくした第3出力回路と、この第3出力回路から出力するための第3出力スイッチと、当該低電圧側バッファ回路へのバイアス電圧と当該低電圧側バッファ回路の出力電圧が入力され低レベル側への出力電流の駆動能力を大きくした第4出力回路と、この第4出力回路から出力するための第4出力スイッチと、

当該低電圧側バッファ回路へのバイアス電圧と前記検出電圧とを比較し、その比較結果に応じて前記第3出力スイッチと前記第4出力スイッチとを切り替えるための第2電圧比較器を有し、

前記検出電圧が検出される検出位置は、前記高電圧側バッファ回路の出力端に第1選択

スイッチを介してつながるとともに、前記低電圧側バッファ回路の出力端に第2選択スイッチを介してつながっており、

前記第1選択スイッチと前記第2選択スイッチは交流化信号に応じていずれかが選択されることを特徴とする、表示装置用駆動装置。

【請求項4】

前記第1電圧比較器及び第2電圧比較器は、それぞれヒステリシス特性を有することを特徴とする、請求項3記載の表示装置用駆動装置。

【請求項5】

前記第1電圧比較器は、前記検出電圧が、前記高電圧側バッファ回路へのバイアス電圧より少し高い電圧範囲でヒステリシス動作を行い、

前記第2電圧比較器は、前記検出電圧が、前記低電圧側バッファ回路へのバイアス電圧より少し低い電圧範囲でヒステリシス動作を行うことを特徴とする、請求項4記載の表示装置用駆動装置。

【請求項6】

請求項1乃至請求項5に記載された表示装置用駆動装置を用いたことを特徴とする表示装置。

【書類名】明細書

【発明の名称】表示装置用駆動装置及びそれを用いた表示装置

【技術分野】

【0001】

本発明は、マトリクス型の液晶表示装置等の表示装置を駆動するのに適した表示装置用駆動装置、及びその駆動装置を用いた表示装置に関する。

【背景技術】

【0002】

ドット表示を実現するための液晶表示装置として、互いに直交するように配置された多数のストライプ状の行電極（走査電極：コモン電極）および列電極（信号電極：セグメント電極）が設けられたマトリクス型液晶表示装置が多く用いられている。

【0003】

その液晶表示装置は、各走査電極に順次走査電圧を印加するとともに、走査電極に対する電圧印加と同時に複数の信号電極に対して信号電圧を印加することによって、画像が表示される。

【0004】

各液晶素子は、全ての走査電極に対して1度ずつ電圧が印加し終わるまでの時間（1フレーム周期）における平均的な実効値電圧に応じた透過率に制御され、1フレーム周期毎に所望の画像を表示させることができる。

【0005】

図8は、従来の液晶駆動装置の構成を示す図である。図8において、液晶表示装置を駆動するための駆動装置は、第1出力電圧V0、第2出力電圧V1、第3出力電圧V2、第4出力電圧V3、第5出力電圧V4、第6電圧V5（グランド電位）を生成して、液晶表示装置LCDに供給する。なお、本出願では、特に断らない場合には、各電圧は、グランド電位を基準とした電圧を言う。この液晶表示装置LCDは、表示パネル（ディスプレイ）及び、走査電極を順次走査する走査側駆動回路、走査電極の走査と同期して信号電極に信号電圧を印加する信号側駆動回路を含んでいる。

【0006】

昇圧回路CHPは、例えばチャージポンプ回路により構成されており、電池電圧Vccとクロック信号clkが入力され、昇圧された電源電圧Vddを得る。

【0007】

この電源電圧Vddを、電圧増幅器A1に印加し、基準電圧Vrefを所定倍して第1バイアス電圧V0rを形成する。この第1バイアス電圧V0rを抵抗器R0～R4で分圧して、第2バイアス電圧V1r、第3バイアス電圧V2r、第4バイアス電圧V3r、第5バイアス電圧V4rを形成する。

【0008】

電源電圧Vddを駆動電源とする第1バッファ回路B0～第5バッファ回路B4に、第1バイアス電圧V0r～第5バイアス電圧V4rがそれぞれ入力され、同じ電圧である第1出力電圧V0～第5出力電圧V4が outputされる。また、第6電圧V5は、グランド電位である。

【0009】

これらの第1出力電圧V0～第6電圧V5のうち、第1出力電圧V0、第2出力電圧V1、第5出力電圧V4、第6電圧V5が液晶表示装置の走査側駆動回路に供給される一方、第1出力電圧V0、第3出力電圧V2、第4出力電圧V3、第6電圧V5が液晶表示装置LCDの信号側駆動回路に供給される。これらの電圧は、液晶表示装置LCDの交流化信号（以下、フレーム周期毎の場合を例にして説明する）FRに合わせて、選択されて用いられる。

【0010】

図9は、液晶駆動波形の例を示すものであり、走査電極がn個、信号電極がm個の液晶表示パネルにおける、特定の走査電極COMj、信号電極SEGkへの駆動電圧の印加状

態を表している。

【0011】

奇数フレーム（FR：高（H）レベル）においては、走査電極COM₁～COM_nが走査されて順次1つの走査電極COM_jが選択され、選択されている走査電極COM_jには第1出力電圧V₀が印加される。選択されていない走査電極COM₁～COM_n（ただし、COM_jは除く）には第5出力電圧V₄が印加される。一方、信号電極SEG₁～SEG_mには、選択されている走査電極に対応した表示信号に応じて第4出力電圧V₃あるいは第6電圧V₅が印加される。

【0012】

また、偶数フレーム（FR：低（L）レベル）においては、走査電極COM₁～COM_nが走査されて順次選択され、選択されている走査電極COM_jには第6電圧V₅が印加される。選択されていない走査電極COM₁～COM_nには第2出力電圧V₁が印加される。一方、信号電極SEG₁～SEG_mには、選択されている走査電極に対応した表示信号に応じて第1出力電圧V₀あるいは第3出力電圧V₂が印加される。

【0013】

このようにして交流化制御されつつ、表示信号に応じた画像が液晶表示装置LCDに表示される。

【0014】

この液晶表示装置LCDの各表示素子は、コンデンサ素子として機能するから、例えばその信号電極に印加される信号電圧の変化に応じて、対応する走査電極の電圧がノイズ電圧状に変動するクロストークが発生し、表示品質を劣化させる原因となる。

【0015】

この電圧変動への対策として、液晶装置を駆動するためのインピーダンス変換された各液晶駆動電圧を、一対の第1、第2の電圧NV、PVが入力されるボルテージフォロア型の2つの差動增幅回路と、一方の差動増幅回路により駆動されるN型トランジスタの出力回路及び他方の差動増幅回路により駆動されるP型トランジスタの出力回路により得る液晶駆動用電源装置が特許文献1に示されている。

【0016】

また、液晶表示素子を駆動するためのオペアンプ回路として充電用・放電用に別々の回路と、切り換えるためのスイッチ回路およびそのタイミングを発生させるためのタイミング回路を有して、その回路を充放電のタイミングにより切り換えるようにした液晶駆動用電源回路が特許文献2及び特許文献3に示されている。

【特許文献1】WO00/41028

【特許文献2】特開平9-292596

【特許文献3】特開平9-203885

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかし、特許文献1のものでは、2つの差動増幅回路に入力される一対の電圧NV、PVを異なった値とし、それら電圧間にオフセットを持たせているから、両回路とも不動作状態となる不感帯が発生してしまう。また、出力回路の出力点で電圧を検出しているから、駆動回路のセレクタ（電圧選択スイッチ）での電圧降下の影響を大きく受けて、表示電極の電圧変動（ノイズ）を正確に検出することができない。

【0018】

また、特許文献2及び特許文献3のものでは、充電用・放電用の回路を、切替タイミング信号に依って切り替えているから、そのタイミング信号を発生させるための回路手段が必要となる他、電圧変動に応じた切替制御を行うことができないといった問題を有している。

【0019】

そこで、本発明は、マトリクス型の液晶表示装置等の表示装置を駆動するのに適した表

示装置用駆動装置において、表示パネルの電極に近い場所での電圧を検出して、高レベル側への出力電流の駆動能力を大きくした出力回路と低レベル側への出力電流の駆動能力を大きくした出力回路とを不感帯を持たせることなく切り替えることにより、クロストークを低減し、表示品質を向上することを目的とする。

【課題を解決するための手段】

【0020】

請求項1の表示装置用駆動装置は、表示用基準電圧から抵抗分圧して複数のバイアス電圧を発生する抵抗分圧回路と、前記複数のバイアス電圧をそれぞれインピーダンス変換して出力電圧として出力する複数のバッファ回路と、マトリクス型表示素子の走査側電極に印加する電圧を前記複数のバッファ回路の出力電圧から選択して印加する走査側駆動回路と、前記マトリクス型表示素子の信号側電極に印加する電圧を前記複数のバッファ回路の出力電圧から選択して印加する信号側駆動回路を備える表示装置用駆動装置において、

前記複数バッファ回路のうちの少なくとも1つのバッファ回路は、

当該バッファ回路へのバイアス電圧と当該バッファ回路の出力電圧とがそれぞれ入力され高レベル側への出力電流の駆動能力を大きくした第1出力回路と、この第1出力回路から出力するための第1出力スイッチと、当該バッファ回路へのバイアス電圧と当該バッファ回路の出力電圧とがそれぞれ入力され低レベル側への出力電流の駆動能力を大きくした第2出力回路と、この第2出力回路から出力するための第2出力スイッチと、

当該バッファ回路へのバイアス電圧と当該バッファ回路の出力端側（あるいは、この出力端につながる表示電極側の配線部）で検出された検出電圧とを比較し、その比較結果に応じて前記第1出力スイッチと前記第2出力スイッチとを切り替えるための電圧比較器とを有することを特徴とする。。

【0021】

請求項2の表示装置用駆動装置は、請求項1の表示装置用駆動装置において、前記電圧比較器は、ヒステリシス特性を有することを特徴とする。

【0022】

請求項3の表示装置用駆動装置は、表示用基準電圧から抵抗分圧して複数のバイアス電圧を発生する抵抗分圧回路と、前記複数のバイアス電圧をそれぞれインピーダンス変換して出力電圧として出力する複数のバッファ回路と、マトリクス型表示素子の走査側電極に印加する電圧を前記複数のバッファ回路の出力電圧から選択して印加する走査側駆動回路と、前記マトリクス型表示素子の信号側電極に印加する電圧を前記複数のバッファ回路の出力電圧から選択して印加する信号側駆動回路を備える表示装置用駆動装置において、

前記複数バッファ回路のうちの1つのバッファ回路（以下、高電圧側バッファ回路）は、

当該高電圧側バッファ回路へのバイアス電圧と当該高電圧側バッファ回路の出力電圧が入力され高レベル側への出力電流の駆動能力を大きくした第1出力回路と、この第1出力回路から出力するための第1出力スイッチと、当該高電圧側バッファ回路へのバイアス電圧と当該高電圧側バッファ回路の出力電圧が入力され低レベル側への出力電流の駆動能力を大きくした第2出力回路と、この第2出力回路から出力するための第2出力スイッチと、

当該高電圧側バッファ回路へのバイアス電圧と表示素子に非表示時に印加される電圧を検出した検出電圧とを比較し、その比較結果に応じて前記第1出力スイッチと前記第2出力スイッチとを切り替えるための第1電圧比較器を有し、

前記複数バッファ回路のうちの他の1つのバッファ回路（以下、低電圧側バッファ回路）は、

前記高電圧側バッファ回路のバイアス電圧よりも低いバイアス電圧と当該低電圧側バッファ回路の出力電圧が入力され高レベル側への出力電流の駆動能力を大きくした第3出力回路と、この第3出力回路から出力するための第3出力スイッチと、当該低電圧側バッファ回路へのバイアス電圧と当該低電圧側バッファ回路の出力電圧が入力され低レベル側への出力電流の駆動能力を大きくした第4出力回路と、この第4出力回路から出力するため

の第4出力スイッチと、

当該低電圧側バッファ回路へのバイアス電圧と前記検出電圧とを比較し、その比較結果に応じて前記第3出力スイッチと前記第4出力スイッチとを切り替えるための第2電圧比較器を有し、

前記検出電圧が検出される検出位置は、前記高電圧側バッファ回路の出力端に第1選択スイッチを介してつながるとともに、前記低電圧側バッファ回路の出力端に第2選択スイッチを介してつながっており、

前記第1選択スイッチと前記第2選択スイッチは交流化信号に応じていずれかが選択されることを特徴とする。

【0023】

請求項4の表示装置用駆動装置は、請求項3の表示装置用駆動装置において、前記第1電圧比較器及び第2電圧比較器は、それぞれヒステリシス特性を有することを特徴とする。

【0024】

請求項5の表示装置用駆動装置は、請求項4の表示装置用駆動装置において、前記第1電圧比較器は、前記検出電圧が、前記高電圧側バッファ回路へのバイアス電圧より少し高い電圧範囲でヒステリシス動作を行い、

前記第2電圧比較器は、前記検出電圧が、前記低電圧側バッファ回路へのバイアス電圧より少し低い電圧範囲でヒステリシス動作を行うことを特徴とする、請求項4記載の表示装置用駆動装置。

【0025】

請求項6の表示装置は、請求項1乃至請求項5に記載された表示装置用駆動装置を用いたことを特徴とする。

【発明の効果】

【0026】

本発明によれば、マトリクス型の液晶表示装置等の表示装置を駆動するのに適した表示装置用駆動装置において、複数バッファ回路のうちの少なくとも1つのバッファ回路は、高レベル側への出力電流の駆動能力を大きくした第1出力回路とこの第1出力回路から出力するための第1出力スイッチと、低レベル側への出力電流の駆動能力を大きくした第2出力回路とこの第2出力回路から出力するための第2出力スイッチとが、並列に接続されるとともに、第1、第2出力回路には同じバイアス電圧が入力されるから、第1、第2出力回路の動作に不感帯は発生しない。したがって、当該バッファ回路の出力電圧は、所定値に速やかに回復する。

【0027】

また、そのバッファ回路へのバイアス電圧と当該バッファ回路の出力端側で検出された検出電圧（あるいは、表示素子にその非表示時に印加される電圧を検出した検出電圧）とを比較する電圧比較器を有し、その検出電圧に含まれるノイズ電圧成分を吸収するようその比較結果に応じて第1出力スイッチと第2出力スイッチとを切り替えるから、出力電流を発生していない側の出力回路も常に所定の動作状態にある。したがって、第1、第2出力スイッチの切替後に直ちに適切な出力を発生することができる。

【0028】

これにより、ノイズ発生源に近い位置を検出電圧の検出位置とするから、小さいノイズにも応答して、電圧変動（ノイズ）を速やかに吸収できる。したがって、表示パネルにおけるクロストークを低減し、表示品質を向上することができる。

【0029】

また、電圧比較器にヒステリシス特性を持たせること、及び、高電圧側の第1電圧比較器は、検出電圧が、高電圧側バッファ回路へのバイアス電圧より少し高い電圧範囲でヒステリシス動作を行い、低電圧側の第2電圧比較器は、検出電圧が、低電圧側バッファ回路へのバイアス電圧より少し低い電圧範囲でヒステリシス動作を行うようにすることにより、電圧比較及びその比較に伴う出力回路の切替を安定して行うことができる。

【0030】

また、高電圧側バッファ回路と低電圧側バッファ回路とに共通の検出電圧が使用できるから、電圧の異なる2つの比較器に対して検出電圧の帰還経路は1つのみでよい。また、この表示装置は、クロストークによるノイズが低減されるので、表示の品質が向上する。

【発明を実施するための最良の形態】**【0031】**

以下、本発明の表示装置用駆動装置及びその駆動装置を用いた表示装置の実施例について、液晶表示装置を例に図を参照して説明する。図1は、本発明の実施例に係る液晶表示装置の概略の構成を示す図であり、マトリクスディスプレイ10、走査側駆動回路20、信号側駆動回路30、電源回路40、及び制御回路50を備えている。なお、表示装置として、有機EL表示素子を用いた有機EL表示装置を用いることができる。

【0032】

図2は、電源回路40の構成図であり、図3.A～図3.Eは電源回路中の各バッファ回路の構成を示す図であり、図4.A、図4.Bは、電源回路中の各電圧比較器の動作特性を示す図である。また、図7.A、図7.Bは、アナログスイッチの具体構成例を示す図である。

【0033】

図1において、ディスプレイ10は、対向する2枚の基板上に互いに直交するように複数の信号電極（セグメント電極）X（X₁～X_m）及び複数の走査電極（コモン電極）Y（Y₁～Y_n）を設けている。この信号電極X及び走査電極Yは、通常、それぞれ数百程度の多数の電極で構成される。これらの信号電極Xと走査電極Yとの間には、液晶表示素子が挟まれており、それらの各交点が表示画素となる。これらの各交点は静電容量で結合された構造であり、例えば単純マトリクスディスプレイを構成している。

【0034】

電源回路40は、表示装置に交流化制御を行う場合に必要な6種類の電圧V₀～V₅を発生し、走査側駆動回路20、信号側駆動回路30にそれぞれ供給する。これらの電圧は、電圧V₀から電圧V₅に向けて順々に低くなる（或いは高くなる）ように、各々所定の値に設定されている。なお、発生する電圧は6種以上でも構わないし、また交流化制御を行わない場合には、必要な電圧数は少なくてよい。

【0035】

制御回路50は、表示データやクロック、各種の制御信号を形成し、走査側駆動回路20、信号側駆動回路30にそれぞれ供給する。表示データDは、ディスプレイ10の表示階調を制御するために、信号電極X₁～X_mに印加する信号電圧のためのデータ（例えば、PWMデータ）である。この表示データDは信号側駆動回路30に供給される。

【0036】

データシフトクロックCKは、表示データDをシフトするクロックで、信号側駆動回路30に供給される。走査クロックLPは、走査側駆動回路20に供給されて走査電極Yを走査する走査信号となり、また信号側駆動回路30に供給されて1ライン分の表示データDをラッチするラッチ信号となる。交流化信号FRは、交流化駆動のための反転信号であり、交流化を行わない場合には不要である。

【0037】

スタート信号STは、走査を開始する信号であり、走査側駆動回路20に供給される。

【0038】

走査側駆動回路20は、スタート信号ST、走査クロックLP及び交流化信号FRを受けて、走査電極Y₁～Y_nに所定の走査電圧を発生しつつ、走査クロック間隔で順次走査する。

【0039】

図2の電源回路40の構成を説明する。電池等からの入力電圧V_{cc}とクロック信号c_{1k}が昇圧回路CHPに入力され、昇圧された電源電圧V_{dd}を出力する。昇圧回路CHPは、例えばチャージポンプ回路により構成されており、その出力側には電源電圧V_{dd}

を安定させるために平滑用コンデンサを接続している。

【0040】

この電源電圧 V_{dd} を、電圧増幅器 A1 に印加し、基準電圧 V_{ref} を所定倍して、表示用基準電圧を形成する。この表示用基準電圧が、第1バイアス電圧（第1基準電圧） V_{0r} になる。この表示用基準電圧を抵抗器 R0～R4 で分圧して、第1バイアス電圧（第1基準電圧） V_{0r} と、第2バイアス電圧（第2基準電圧） V_{1r} 、第3バイアス電圧（第3基準電圧） V_{2r} 、第4バイアス電圧（第4基準電圧） V_{3r} 、第5バイアス電圧（第5基準電圧） V_{4r} を形成する。

【0041】

第1バッファ回路 B0～第5バッファ回路 B4 に、第1基準電圧 V_{0r} ～第5基準電圧 V_{4r} が入力され、同じ電圧である第1出力電圧 V_0 ～第5出力電圧 V_4 が出力される。これらバッファ回路 B0～B4 の駆動電源として、各バッファ回路の出力電圧 V_0 ～ V_4 より高い電圧である電源電圧 V_{dd} を用いるが、出力電圧 V_0 ～ V_3 を用いてもよい。第6電圧 V_5 は、グランド電位である。

【0042】

これらの第1出力電圧 V_0 ～第6電圧 V_5 のうち、第1出力電圧 V_0 、第2出力電圧 V_1 、第5出力電圧 V_4 、第6電圧 V_5 が液晶表示装置の走査側駆動回路 20 に供給される一方、第1出力電圧 V_0 、第3出力電圧 V_2 、第4出力電圧 V_3 、第6電圧 V_5 が液晶表示装置 LCD の信号側駆動回路 30 に供給される。これらの電圧は、図 9 で説明したのと同様に液晶表示装置 LCD の交流化信号 FR に合わせて、選択されて用いられる。

【0043】

図 3.A は、第1バッファ回路 B0 の構成を示す図である。第1バッファ回路 B0 は、電源電圧 V_{dd} と第1出力電圧 V_0 間に P 型 MOS トランジスタ Q0 を設けるとともに、第1出力電圧 V_0 とグランド間に微弱な電流（例えば、 $1 \mu A$ 程度）を流す定電流源 I0 を設けている。この定電流源 I0 は、バッファ回路動作を安定させるためのものであり、他のバッファ回路において用いられる定電流源も同様である。

【0044】

そして、第1基準電圧 V_{0r} と第1出力電圧 V_0 を入力し、P 型 MOS トランジスタ Q0 への制御信号を出力する演算増幅器（以下、オペアンプ）OP0 を有している。この第1バッファ回路 B0 からは P 型 MOS トランジスタ Q0 を介して電流が流出するが、第1出力電圧 V_0 が第1基準電圧 V_{0r} に等しくなるように、P 型 MOS トランジスタ Q0 が制御される。この第1バッファ回路 B0 は、電源電圧 V_{dd} から P 型 MOS トランジスタ Q0 を介して電流が流出するから、第1出力電圧 V_0 に対して高レベル側への出力電流の駆動能力を大きくした出力回路となる。

【0045】

図 3.B は、第2バッファ回路 B1 の構成を示す図である。第2バッファ回路 B1 は、例えば電源電圧 V_{dd} と第2出力電圧 V_1 間に、P 型 MOS トランジスタ Q1p と第1出力スイッチ SW1p とを直列に接続する。また、第2出力電圧 V_1 とグランド間に、第2出力スイッチ SW1n と N 型 MOS トランジスタ Q1n とを直列に接続する。また、P 型 MOS トランジスタ Q1p の出力側（ドレン側）とグランド間に微弱な電流を流す定電流源 I1p を設け、電源電圧 V_{dd} と N 型 MOS トランジスタ Q1n の出力側（ドレン側）間に微弱な電流を流す定電流源 I1n を設けている。

【0046】

第2基準電圧 V_{1r} と第2出力電圧 V_1 を入力し、P 型 MOS トランジスタ Q1p への制御信号を出力するオペアンプ OP1p と、第2基準電圧 V_{1r} と第2出力電圧 V_1 を入力し、N 型 MOS トランジスタ Q1n への制御信号を出力するオペアンプ OP1n とを有している。この第2バッファ回路 B1 からは、第1出力スイッチ SW1p がオンしているときに P 型 MOS トランジスタ Q1p を介して電流が流出し、また第2出力スイッチ SW1n がオンしているときに N 型 MOS トランジスタ Q1n を介して電流が流入する。このいずれの場合でも、第2出力電圧 V_1 が第2基準電圧 V_{1r} に等しくなるように、常に、

P型、N型MOSトランジスタQ1p、Q1nが制御されている。

【0047】

P型MOSトランジスタQ1p、オペアンプOP1pを含む回路が、第2出力電圧V1に対して高レベル側への出力電流の駆動能力を大きくした第1出力回路B1pとなり、N型MOSトランジスタQ1n、オペアンプOP1nを含む回路が、第2出力電圧V1に対して低レベル側への出力電流の駆動能力を大きくした第2出力回路B1nとなる。

【0048】

このように、第2バッファ回路B1は、高レベル側への出力電流の駆動能力を大きくした第1出力回路B1pと第1出力スイッチSW1pと、低レベル側への出力電流の駆動能力を大きくした第2出力回路B1nと第2出力スイッチSW1nとが、並列に接続されるとともに、第1、第2出力回路B1p、B1nには同じ基準電圧V1rが入力されるから、第1、第2出力回路B1p、B1nの動作に不感帯は発生しない。

【0049】

第1出力スイッチSW1pと第2出力スイッチSW1nは、後述する第1電圧比較器CP1の比較出力により、いずれかのスイッチがオンに、他のスイッチがオフに制御される。第1電圧比較器CP1はヒステリシス特性を有しており、第2出力電圧V1を低い値から上昇させる場合には第1出力スイッチSW1pがオンされ、第2出力電圧V1を高い値から下降させる場合には第2出力スイッチSW1nがオンされるように制御される。

【0050】

第1電圧比較器CP1は、第2バッファ回路B1の内部にその一部として設けるようにしてもよい。

【0051】

なお、第2バッファ回路B1及び第1電圧比較器CP1の電源としては、電源電圧Vdに代えて、第2出力電圧V1よりも高い電圧である、第1出力電圧V0を用いてもよい。他のバッファ回路においても同様に、そのバッファ回路の出力電圧よりも高い出力電圧を、電源電圧Vddに代えて、用いることができる。

【0052】

図3.Cは、第3バッファ回路B2の構成を示す図である。第3バッファ回路B2は、第3出力電圧V2とグランド間にN型MOSトランジスタQ2を設けるとともに、電源電圧Vddと第3出力電圧V2間に微弱な電流を流す定電流源I2を設けている。そして、第3基準電圧V2rと第3出力電圧V2を入力し、N型MOSトランジスタQ2への制御信号を出力するオペアンプOP2を有している。

【0053】

この第3バッファ回路B2にはN型MOSトランジスタQ2を介して電流が流入するが、第3出力電圧V2が第3基準電圧V2rに等しくなるように、N型MOSトランジスタQ2が制御される。この第3バッファ回路B2は、第3出力電圧V2からN型MOSトランジスタQ2を介して電流が流入するから、第3出力電圧V2に対して低レベル側への出力電流の駆動能力を大きくした出力回路となる。

【0054】

図3.Dは、第4バッファ回路B3の構成を示す図である。この第4バッファ回路B3は、図3.Aの第1バッファ回路B0と同様な構成であり、基準電圧が第4基準電圧V3rになり、出力電圧が第4出力電圧V3になる。

【0055】

図3.Eは、第5バッファ回路B4の構成を示す図である。この第5バッファ回路B4は、図3.Bの第2バッファ回路B1と同様な構成であり、基準電圧が第5基準電圧V4rになり、出力電圧が第5出力電圧V4になる。したがって、P型MOSトランジスタQ4p、オペアンプOP4pを含む回路が、第5出力電圧V4に対して高レベル側への出力電流の駆動能力を大きくした第3出力回路B4pとなり、N型MOSトランジスタQ4n、オペアンプOP4nを含む回路が、第5出力電圧V4に対して低レベル側への出力電流の駆動能力を大きくした第4出力回路B4nとなる。また、P型MOSトランジスタQ4

pの出力側（ドレン側）とグランド間に微弱な電流を流す定電流源I_{4 p}を設け、電源電圧V_{dd}とN型MOSトランジスタQ_{4 n}の出力側（ドレン側）間に微弱な電流を流す定電流源I_{4 n}を設けている。

【0056】

第3出力スイッチSW_{4 p}と第4出力スイッチSW_{4 n}は、後述する第2電圧比較器C_{P 4}の比較出力により、いずれかのスイッチがオンに、他のスイッチがオフに制御される。第2電圧比較器C_{P 4}はヒステリシス特性を有しており、第5出力電圧V₄を低い値から上昇させる場合には第3出力スイッチSW_{4 p}がオンされ、第5出力電圧V₄を高い値から下降させる場合には第4出力スイッチSW_{4 n}がオンされるように制御される。

【0057】

第2電圧比較器C_{P 4}は、第5バッファ回路B₄の内部にその一部として設けるようにしてもよい。

【0058】

第1電圧比較器C_{P 1}は、第2基準電圧V_{1 r}と、表示素子にその非表示時に印加される電圧である検出電圧V_{det 1·4}とが入力され、それらの大きさを比較する。また、第2電圧比較器C_{P 4}は、第5基準電圧V_{4 r}と検出電圧V_{det 1·4}とが入力され、それらの大きさを比較する。

【0059】

ところで、走査側駆動回路20において、交流化信号FRのH/Lレベルに応じて、第2出力電圧V₁と第5出力電圧V₄とがアナログスイッチの切替によって選択されて、非表示時の各走査電極Y₁～Y_nに印加される。この非表示の表示素子に印加されている電圧が検出電圧V_{det 1·4}となる。検出電圧V_{det 1·4}は、アナログスイッチの切替によって選択されて、走査電極Y₁～Y_nに印加される電圧であり、走査電極Y₁～Y_nの実際の電圧に近い電圧である。したがって、走査電極Y₁～Y_nの電圧変動（ノイズ）を、アナログスイッチ等に依る電圧降下（減衰）に影響されることが少なく、より正確に示すものとなる。なお、検出電圧V_{det 1·4}が得られる配線を、表示電極側の配線部という。

【0060】

図4.Aは、第1電圧比較器C_{P 1}の検出電圧V_{det 1·4}に対する動作特性を示す図である。第1電圧比較器C_{P 1}の比較出力は、図4.Aのように検出電圧V_{det 1·4}が第2基準電圧V_{1 r}より少し大きい値（例、3mV）以下では、Lレベルである。これにより、常時は、第1出力スイッチSW_{1 p}がオンしており、第1出力回路B_{1 p}によって第2出力電圧V₁が出力されている。したがって、検出電圧V_{det 1·4}が第5出力電圧V₄から第2出力電圧V₁に切り替わったときに、スイッチ切替時間なども要することなく、第1出力回路B_{1 p}から電流を流出させることができる。

【0061】

また、検出電圧V_{det 1·4}が第2基準電圧V_{1 r}よりある値（例、20mV）以上では、第1電圧比較器C_{P 1}の比較出力はHレベルである。これにより、検出電圧V_{det 1·4}が所定値を越えたときに第2出力スイッチSW_{1 n}がオンし、第2出力回路B_{1 n}に電流を流入させて、正極性のノイズを吸収する。

【0062】

また、第1電圧比較器C_{P 1}は、第1、第2出力スイッチSW_{1 p}、SW_{1 n}の切替動作を安定して行わせるために、電圧幅が約20mV程度のヒステリシス特性を持たせることが望ましい。このヒステリシス特性は、検出電圧V_{det 1·4}が、第2基準電圧V_{1 r}より少し高い電圧範囲、「V_{1 r} + α (3mV)」から「V_{1 r} + β (20mV)」、にあるように設定される。

【0063】

図4.Bは、第2電圧比較器C_{P 4}の検出電圧V_{det 1·4}に対する動作特性を示す図である。この検出電圧V_{det 1·4}は、第1電圧比較器C_{P 1}に用いるものと同じものである。第2電圧比較器C_{P 4}の比較出力は、図4.Bのように検出電圧V_{det 1·4}

4が第5基準電圧V_{4r}より少し小さい値（例、3mV）以上では、Hレベルである。これにより、常時は、第4出力スイッチSW_{4n}がオンしており、第4出力回路B_{4n}によって第5出力電圧V₄が出力されている。したがって、検出電圧V_{det1·4}が第2出力電圧V₁から第5出力電圧V₄に切り替わったときに、スイッチ切替時間なども要することなく、第4出力回路B_{4n}に電流を流入させることができる。

【0064】

また、検出電圧V_{det1·4}が第5基準電圧V_{4r}よりある値（例、20mV）以下では、第2電圧比較器CP₄の比較出力はLレベルである。これにより、検出電圧V_{det1·4}が所定値より下がったときに第3出力スイッチSW_{4p}がオンし、第3出力回路B_{4p}から電流を流出させて、負極性のノイズを吸収する。

【0065】

また、第2電圧比較器CP₄は、第3、第4出力スイッチSW_{4p}、SW_{4n}の切替動作を安定して行わせるために、ヒステリシス特性を持たせることが望ましい。このヒステリシス特性は、検出電圧V_{det1·4}が、第5基準電圧V_{4r}より少し低い電圧範囲にあるように設定される。

【0066】

図5は、信号側駆動回路30の構成を示す図である。図5において、シフトレジスタ61には、表示データDがデータシフトクロックCKによるシフト動作によって順次入力される。ラッチ回路62に、走査クロックLPによって1ライン分の表示データD（D₁～D_m）がラッチされる。

【0067】

データ有りでオンされるデータ有りスイッチSW_{x1a}～SW_{xma}及びデータ無しでオンされるデータ無しスイッチSW_{x1b}～SW_{xmb}が、信号電極X₁～X_m毎に一対ずつ設けられている。ラッチされた表示データD（D₁～D_m）にしたがって、データ有りスイッチSW_{x1a}～SW_{xma}あるいはデータ無しスイッチSW_{x1b}～SW_{xmb}がオンされる。

【0068】

第1出力電圧V₀がセグメント電圧選択スイッチSW_{s0}を介して、また第6電圧V₅がセグメント電圧選択スイッチSW_{s5}を介してデータ有りスイッチSW_{x1a}～SW_{xma}に供給される。第3出力電圧V₂がセグメント電圧選択スイッチSW_{s2}を介して、また第4出力電圧V₃がセグメント電圧選択スイッチSW_{s3}を介してデータ無しスイッチSW_{x1b}～SW_{xmb}に供給される。

【0069】

選択スイッチSW_{s5}と選択スイッチSW_{s3}が、交流化信号FRがHレベルである奇数フレームで選択され、また、選択スイッチSW_{s0}と選択スイッチSW_{s2}が、交流化信号FRがLレベルである偶数フレームで選択される。したがって、図9の信号電極SEG_kのように、奇数フレームでは信号の有無に応じて第6電圧V₅あるいは第4出力電圧V₃が印加され、偶数フレームでは信号の有無に応じて第1出力電圧V₀あるいは第3出力電圧V₂が印加される。

【0070】

図6は、走査側駆動回路20の構成を示す図である。図6において、第1出力電圧V₀がコモン電圧選択スイッチSW_{c0}を介して、また第6電圧V₅がコモン電圧選択スイッチSW_{c5}を介して選択走査スイッチSW_{y1a}～SW_{yna}に接続される。第2出力電圧V₁がコモン電圧選択スイッチSW_{c1}を介して、また第5出力電圧V₄がコモン電圧選択スイッチSW_{c4}を介して非選択走査スイッチSW_{y1b}～SW_{ynb}に接続される。

【0071】

選択スイッチSW_{c0}と選択スイッチSW_{c4}が、交流化信号FRがHレベルである奇数フレームで選択され、また、選択スイッチSW_{c5}と選択スイッチSW_{c1}が、交流化信号FRがLレベルである偶数フレームで選択される。

【0072】

選択走査スイッチ SWy1a～SWyn a 及び非選択走査スイッチ SWy1b～SWyn b は、走査電極 Y1～Yn 毎に一対ずつ設けられている。

【0073】

スタート信号 ST と走査クロック LP を受ける走査回路 71 は、スタート信号 ST を受けた後に走査クロック LP を受ける毎に、選択走査スイッチ SWy1a～SWyn a を1つづつ順次オンさせていく。

【0074】

したがって、図9の走査電極 COMj のように、奇数フレームでは1つの走査電極のみが選択されて第1出力電圧 V0 にあり、他の走査電極は第5出力電圧 V4 が印加されている。偶数フレームでは1つの走査電極のみが選択されて第6電圧 V5 にあり、他の走査電極は第2出力電圧 V1 が印加されている。

【0075】

この走査側駆動回路 20において、非選択走査スイッチ SWy1b～SWynb が接続される位置、即ち、コモン電圧選択スイッチ SWc1 あるいはコモン電圧選択スイッチ SWc4 によって第2出力電圧 V1 あるいは第5出力電圧 V4 が供給される位置が、検出電圧 Vdet1・4 の検出位置である。

【0076】

図7.A 及び図7.B は、双方向に電流を流すスイッチとして用いるにより好適なアナログスイッチの構成を示す図である。

【0077】

このアナログスイッチは、P型MOSトランジスタとN型トランジスタとの並列回路から成るCMOSトランジスタ 5a と、そのCMOSトランジスタ 5a の一方の入力端子に接続されたインバータ 5b と、CMOSトランジスタ 5a の他方およびインバータ 5b の各入力端子に接続された制御信号 S1 の入力線とから構成されている。図7.A のアナログスイッチは、制御信号 S1 が H レベルのときにオンし、L レベルのときにオフする。図7.B のアナログスイッチは、制御信号 S1 が L レベルのときにオンし、H レベルのときにオフする。

【0078】

このアナログスイッチは、コモン電圧選択スイッチ SWc0～SWc5、セグメント電圧選択スイッチ SWs0～SWs5 や、信号電極、走査電極を選択するスイッチとして用いられる。

【0079】

なお、図2の電源回路 40における第1、第3出力スイッチ SW1p、SW4p は P 型 MOS トランジスタによるスイッチ回路とし、第2、第4出力スイッチ SW1n、SW4n は N 型 MOS トランジスタによるスイッチ回路としている。

【0080】

以上のように構成されている、本発明の表示装置の動作を、各図を参照して説明する。

【0081】

電源回路 40 から第1出力電圧 V0～第6電圧 V5 が output され、それぞれ所要の電圧が走査側駆動回路 20 と信号側駆動回路 30 に供給される。また、検出電圧 Vdet1・4 が走査側駆動回路 20 の検出位置から電源回路の第1、第2電圧比較器 CP1、CP4 に帰還される。

【0082】

この状態で、制御回路 50 から、スタート信号 ST、表示データ D、クロック CK、走査クロック LP、交流化信号 FR が、走査側駆動回路 20 と信号側駆動回路 30 に供給されると、走査電極 Y1～Ym の走査と信号電極 X1～Xm への信号の供給がおこなわれて、ディスプレイ 10 に表示データ D (D1～Dm) にしたがった画像が表示される。

【0083】

この表示動作中において、各走査電極及び信号電極には、それぞれ所定の出力電圧が印

加されることが望ましいが、表示素子はコンデンサ素子として機能するから、例えばその信号電極に印加される信号電圧の変化に応じて、対応する走査電極の電圧がノイズ電圧状に変動する。

【0084】

これをコモン電圧選択スイッチ SWc1、SWc4 の走査電極側でみると、奇数フレームにおいては、第1出力電圧 V0 にあった走査電極が次の瞬間に第5出力電圧 V4 に変化するし、各信号電極の電圧が第4出力電圧 V3 と第6電圧 V5 に変化する。このような電圧の変化にしたがって、コモン電圧選択スイッチ SWc1、SWC4 の走査電極側の電圧（この場合は、第5出力電圧 V4）が所定の電圧に維持されずクロストークが発生し、表示品質を劣化させる。この状況は偶数フレームについても同様であって、コモン電圧選択スイッチ SWc1、SWc4 の走査電極側の電圧（この場合は、第2出力電圧 V1）が所定の電圧に維持されず変動する。即ち、クロストークが発生し、表示品質を劣化させる。

【0085】

本発明では、走査電極側の電圧、即ち、第2出力電圧 V1 及び第5出力電圧 V4 の変動を、速やかに所定の電圧に維持して、クロストークを低減する。

【0086】

そのための各構成については、各図の説明で既に述べた通りであるが、電圧比較のための検出電圧 Vdet1・4 を走査電極 Y1～Yn のできるだけ近い位置、具体的にはコモン電圧選択スイッチ SWc1、SWc4 の走査電極側を電圧検出位置とし、この検出電圧 Vdet1・4 を第1、第2電圧比較器 CP1、CP4 へ帰還している。

【0087】

これにより、電圧の変動分が特許文献1のようにコモン電圧選択スイッチ SWc1、SWc4 で減衰されることなく検出できるから、より実際の変動電圧に近い電圧を検出することができる。したがって、小さいノイズにも電圧比較器 CP1、CP4 が速やかに反応し、出力電圧をより安定して出力できるようになる。

【0088】

また、高電圧側のバッファ回路 B1 は、その基準電圧 V1r とバッファ回路 B1 の出力端につながる検出位置の検出電圧 Vdet1・4 とを比較する第1電圧比較器 CP1 を有している。その第1電圧比較器 CP1 は、検出電圧 Vdet1・4 が、バッファ回路 B1 への基準電圧 V1r より少し高い電圧範囲でヒステリシス動作を行う構成である。したがって、第6電圧 V5 にあった走査電極が次の瞬間に第2出力電圧 V1 に変化する場合に、第1、第2出力スイッチ SW1p、SW1n の切替を伴わないから、速やかに応答することができる。しかも、その切替動作を安定して行うことができる。

【0089】

同様に、低電圧側のバッファ回路 B4 は、その基準電圧 V4r とバッファ回路 B4 の出力端につながる検出位置の検出電圧 Vdet1・4 とを比較する第2電圧比較器 CP4 を有している。その第2電圧比較器 CP4 は、検出電圧 Vdet1・4 が、バッファ回路 B4 への基準電圧 V4r より少し低い電圧範囲でヒステリシス動作を行う構成である。したがって、第1出力電圧 V0 にあった走査電極が次の瞬間に第5出力電圧 V4 に変化する場合に、第3、第4出力スイッチ SW4p、SW4n の切替を伴わないから、速やかに応答することができる。しかも、その切替動作を安定して行うことができる。

【0090】

また、高電圧側バッファ回路 B1 における第1出力回路 B1p と第2出力回路 B1n、及び低電圧側バッファ回路 B4 における第3出力回路 B4p と第4出力回路 B4n は常に動作状態にあるから、信号電極側の電圧変化 (V3→V5, V5→V3 及び、V0→V2, V2→V0) に伴う電圧変動も、速やかに抑制することができる。

【0091】

また、検出電圧 Vdet1・4 の検出位置を、コモン電圧選択スイッチ SWc1、SWC4 の走査電極側としたことにより、比較電圧の異なる2つの電圧比較器 CP1、CP4 に対して共通の検出電圧が使用でき、検出電圧の帰還経路は1つのみでよい。

【図面の簡単な説明】

【0092】

- 【図1】本発明の実施例に係る液晶表示装置の概略の構成を示す図
- 【図2】電源回路40の構成図
- 【図3. A】電源回路中のバッファ回路の構成を示す図
- 【図3. B】電源回路中の他のバッファ回路の構成を示す図
- 【図3. C】電源回路中の他のバッファ回路の構成を示す図
- 【図3. D】電源回路中の他のバッファ回路の構成を示す図
- 【図3. E】電源回路中の他のバッファ回路の構成を示す図
- 【図4. A】電源回路中の第1各電圧比較器の動作特性を示す図
- 【図4. B】電源回路中の第2各電圧比較器の動作特性を示す図
- 【図5】信号側駆動回路の構成を示す図
- 【図6】走査側駆動回路の構成を示す図
- 【図7. A】アナログスイッチの具体構成例を示す図
- 【図7. B】アナログスイッチの他の具体構成例を示す図
- 【図8】液晶表示装置を駆動するための、従来の電源装置の構成を示す図
- 【図9】液晶表示パネルにおける駆動波形の例を示す図

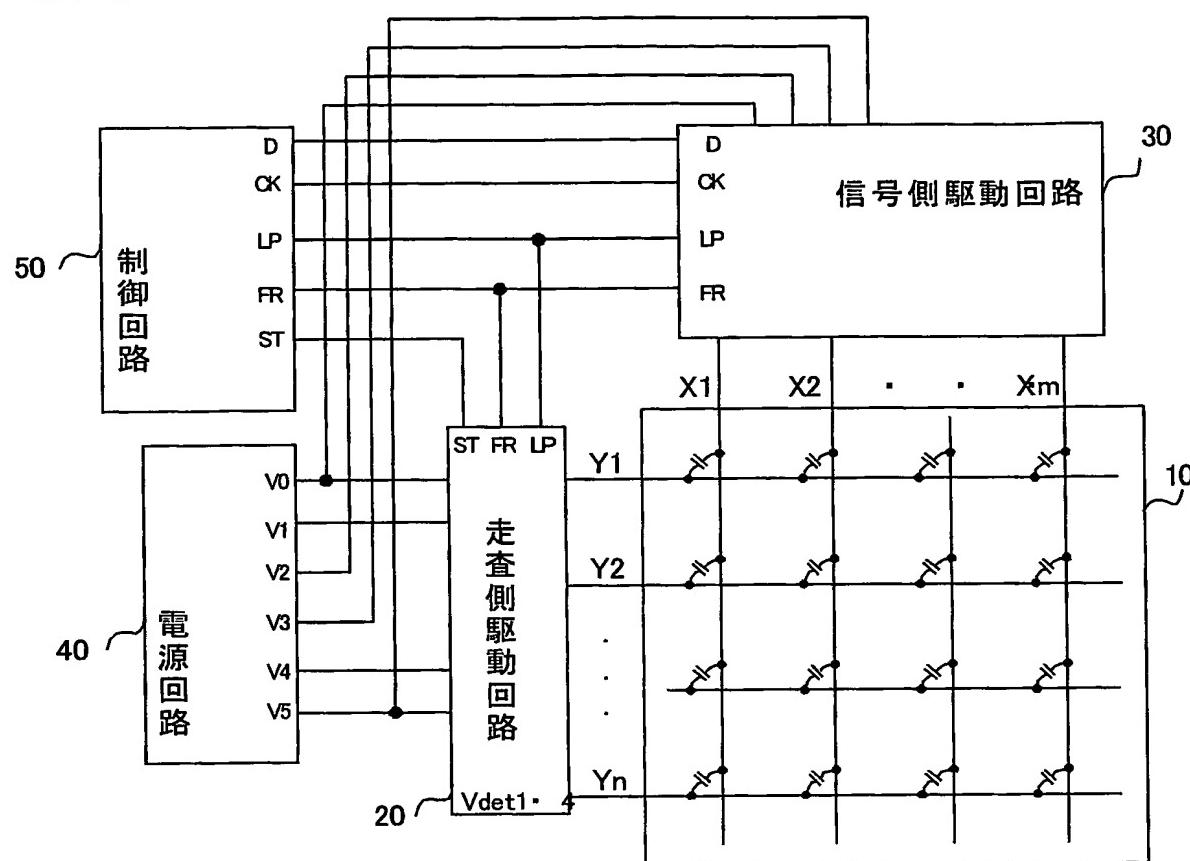
【符号の説明】

【0093】

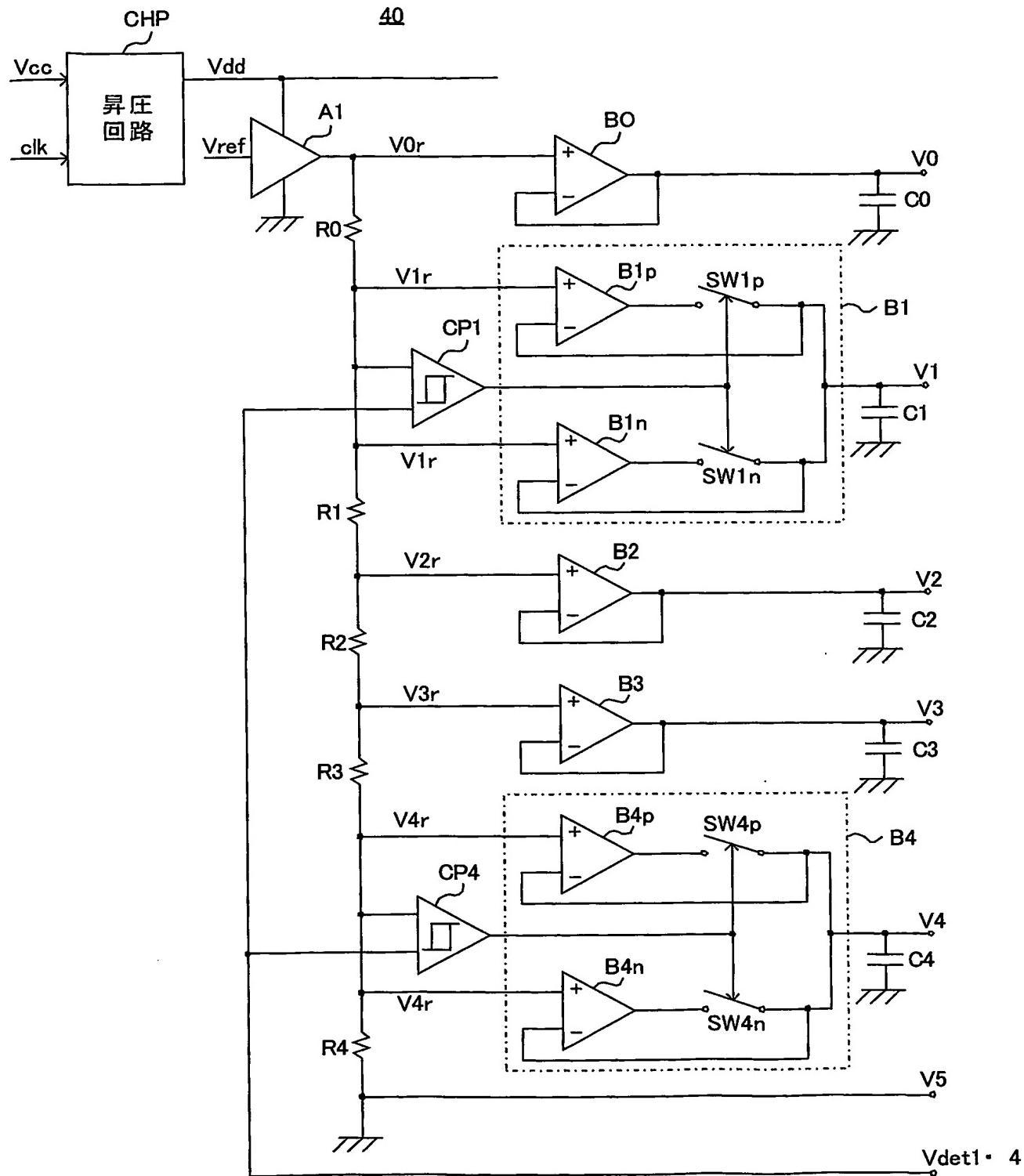
- 10 マトリクスディスプレイ
- 20 走査側駆動回路
- 30 信号側駆動回路
- 40 電源回路
- 50 制御回路
- Vdd 電源電圧
- A1 電圧増幅器
- V0r～V4r 第1～第5基準電圧
- V0～V4 第1～第5出力電圧
- V5 第6電圧
- B0～B4 第1～第5バッファ回路
- B1p, B1n 第1、第2出力回路
- SW1p, SW1n 第1、第2出力スイッチ
- CP1 第1電圧比較器
- B4p, B4n 第3、第4出力回路
- SW4p, SW4n 第3、第4出力スイッチ
- CP4 第2電圧比較器
- Vdet1・4 検出電圧
- OP0～OP4n 演算増幅器
- Q0～Q4n MOSトランジスタ
- I0, I2, I3 定電流源
- 61 シフトレジスタ
- 62 ラッチ回路
- 71 走査回路
- X1～Xm 信号電極（セグメント電極）
- Y1～Yn 走査電極（コモン電極）
- SWx1a～SWxma データ有りスイッチ
- SWx1b～SWxmb データ無しスイッチ
- SWs0, SWs2, SWs3, SWs5 セグメント電圧選択スイッチ
- SWy1a～SWyna 選択走査スイッチ
- SWy1b～SWynb 非選択走査スイッチ

SWc0、SWc1、SWc4、SWc5 コモン電圧選択スイッチ
FR 交流化信号
D、D1～Dm 表示データ
LP 走査クロック

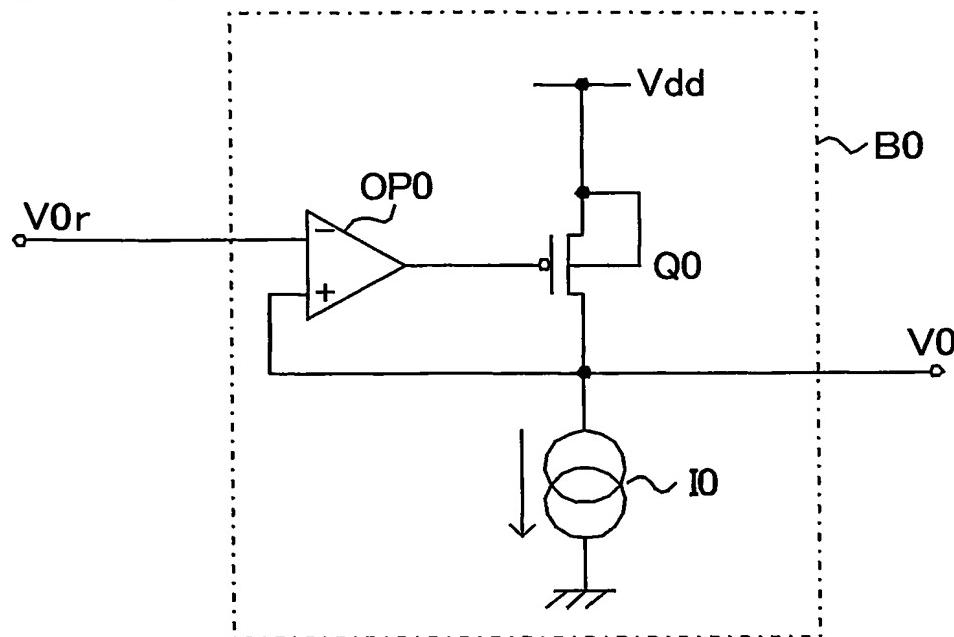
【書類名】図面
【図 1】



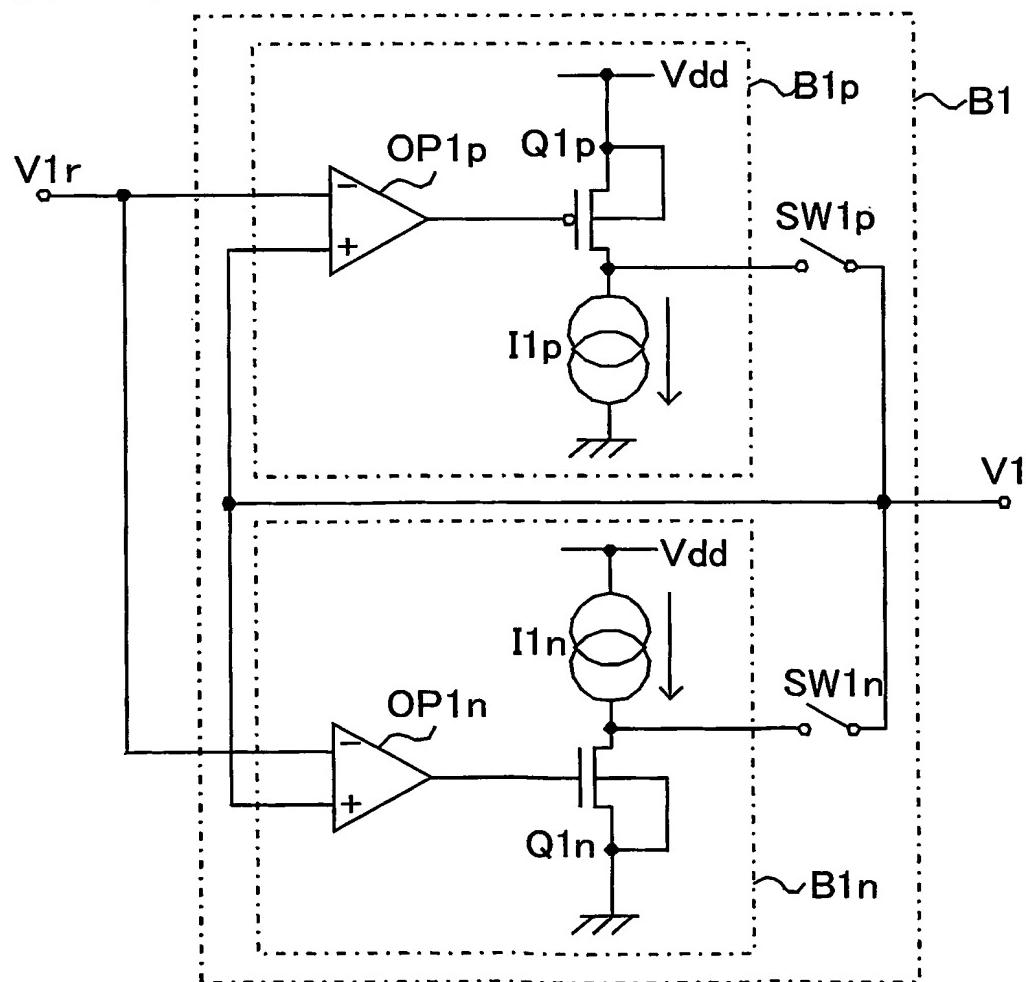
【図2】



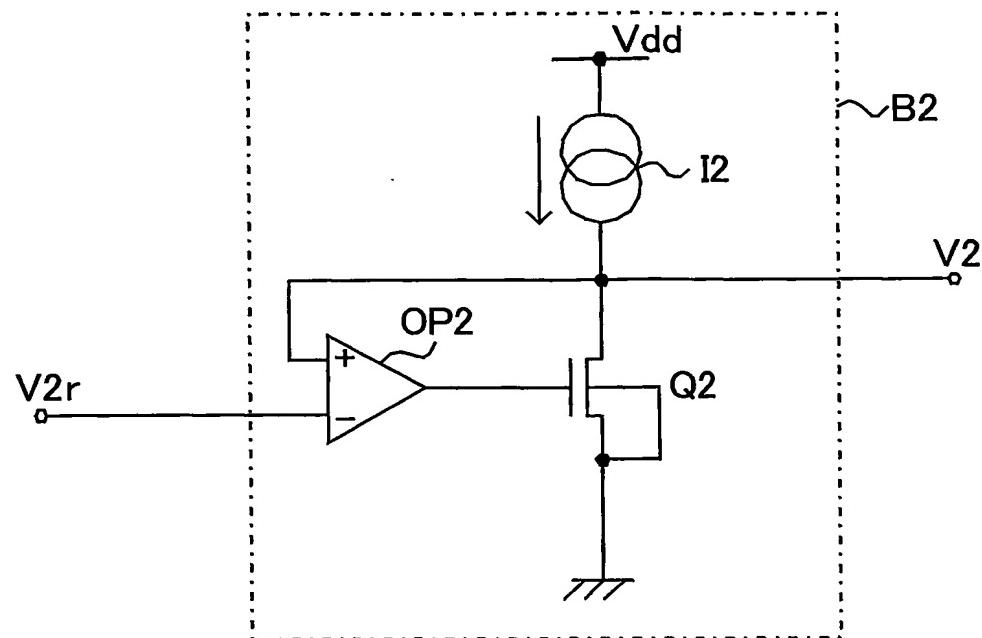
【図3. A】



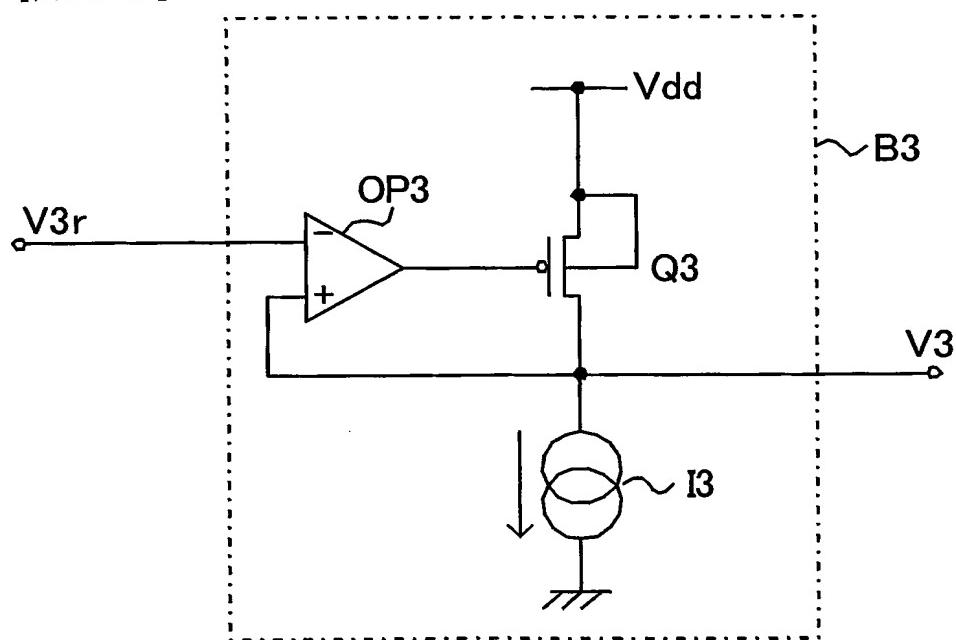
【図3. B】



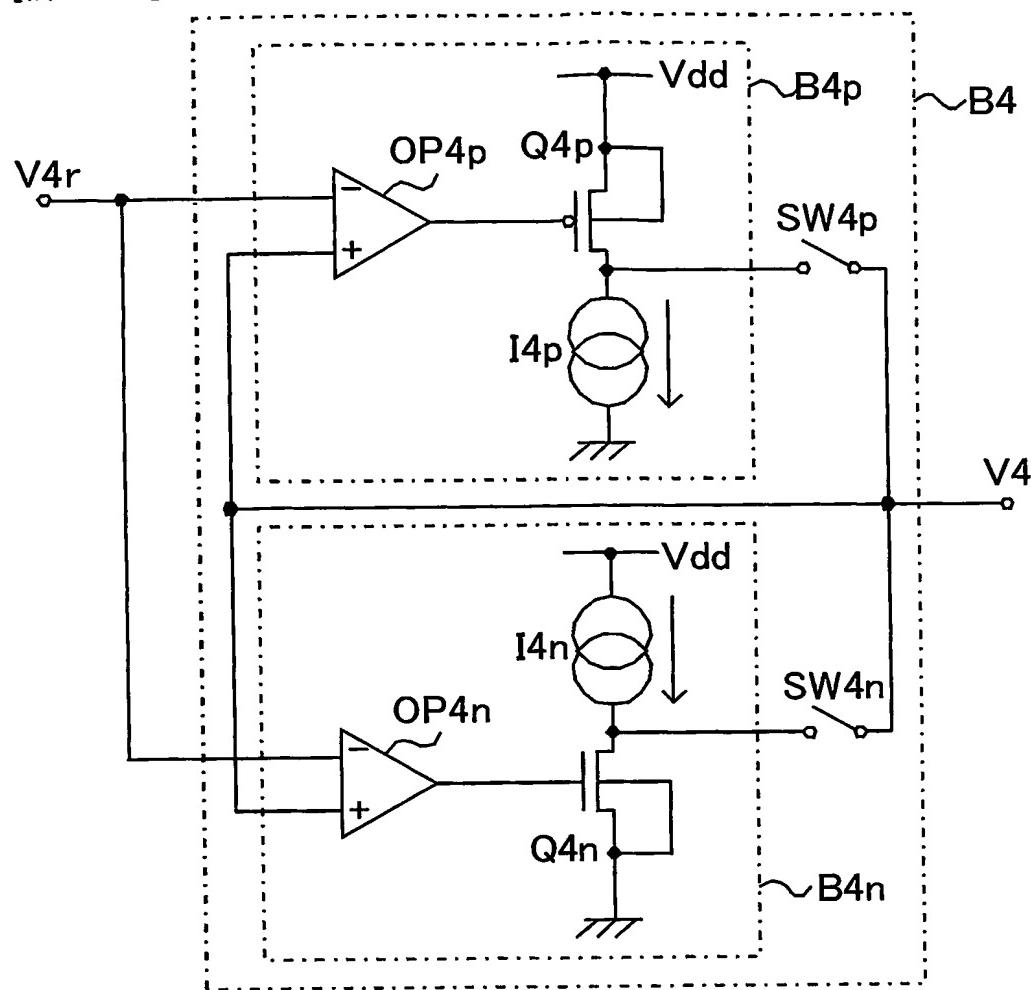
【図3. C】



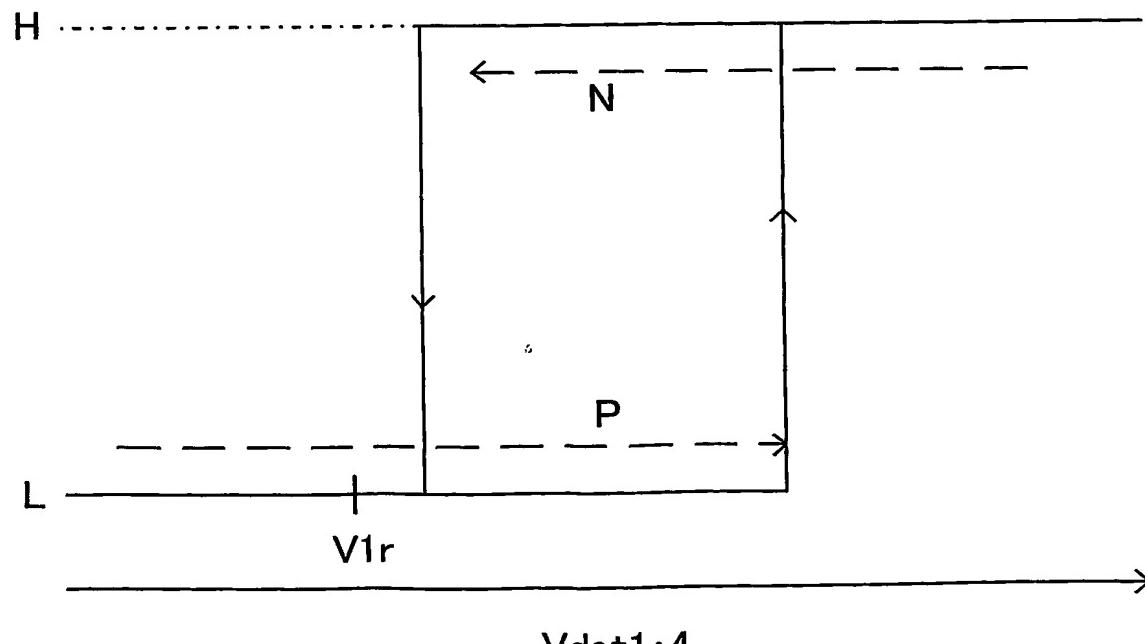
【図3. D】



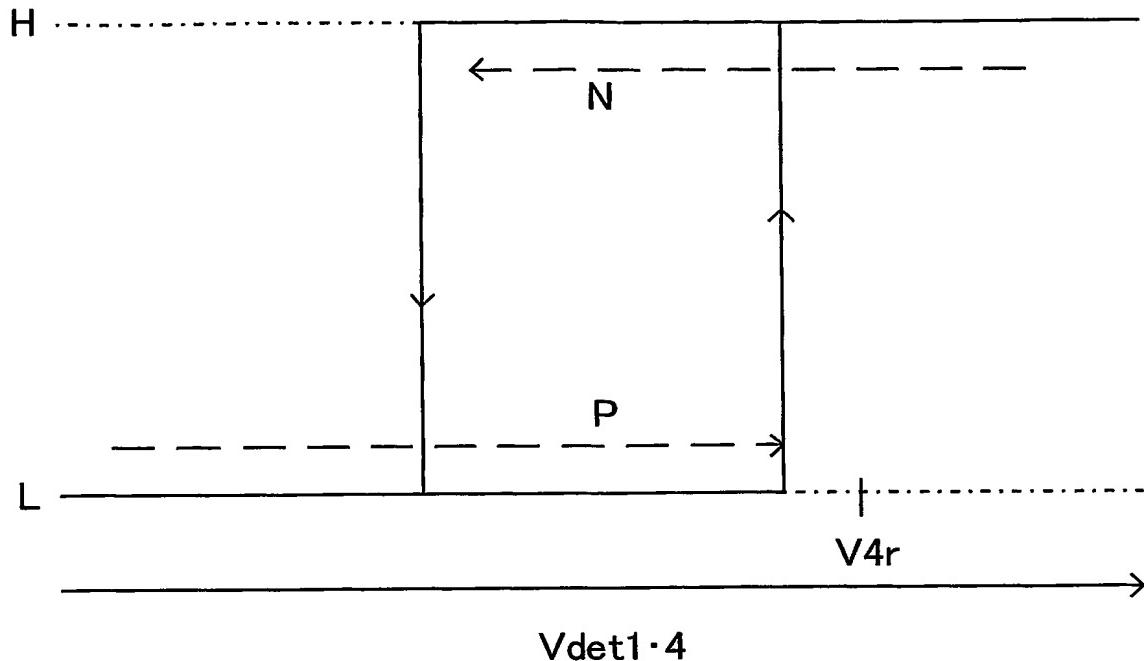
【図3.E】



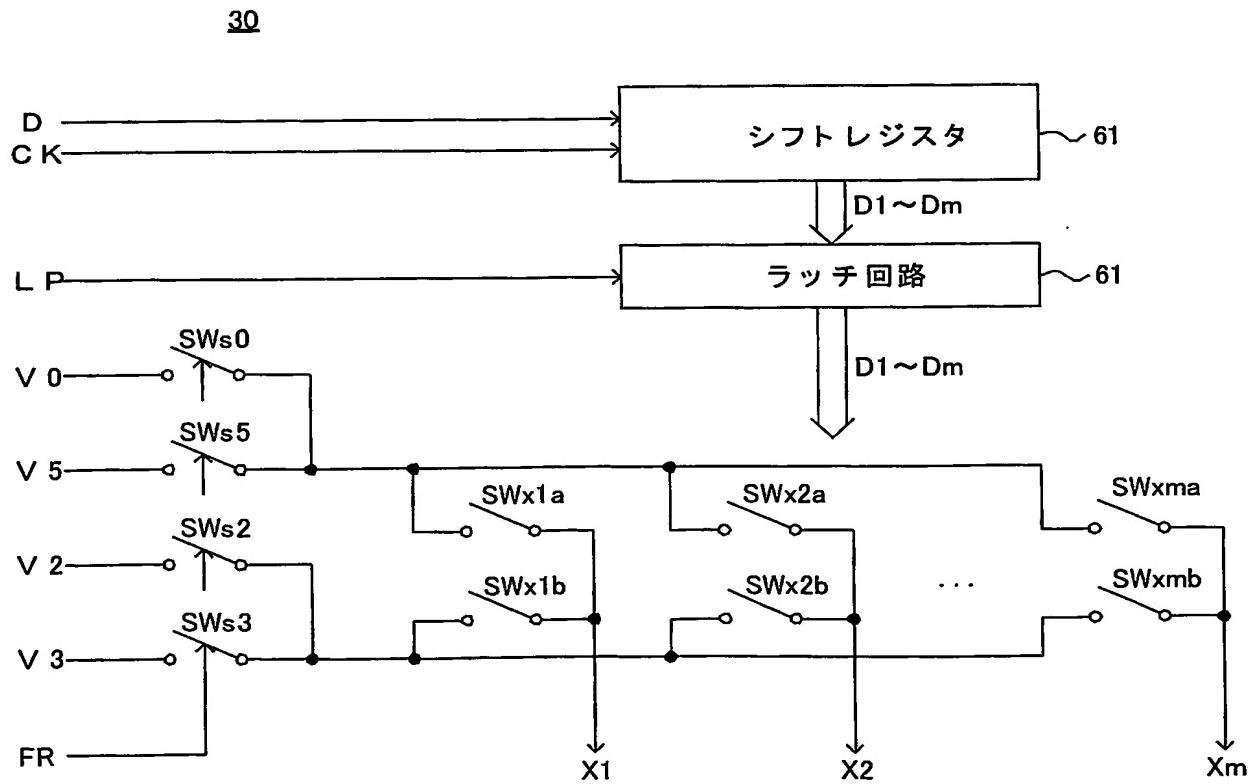
【図4.A】



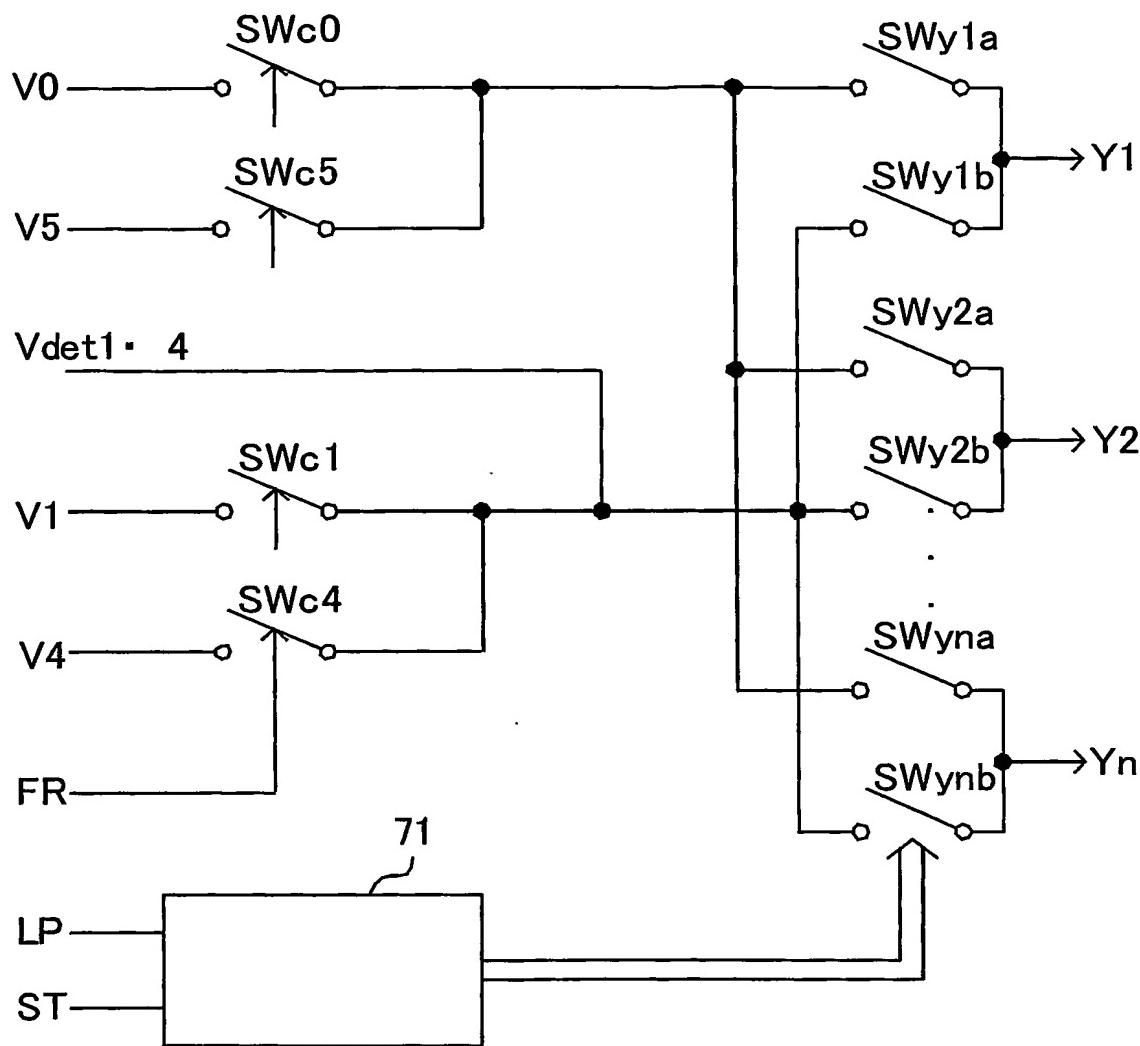
【図4. B】



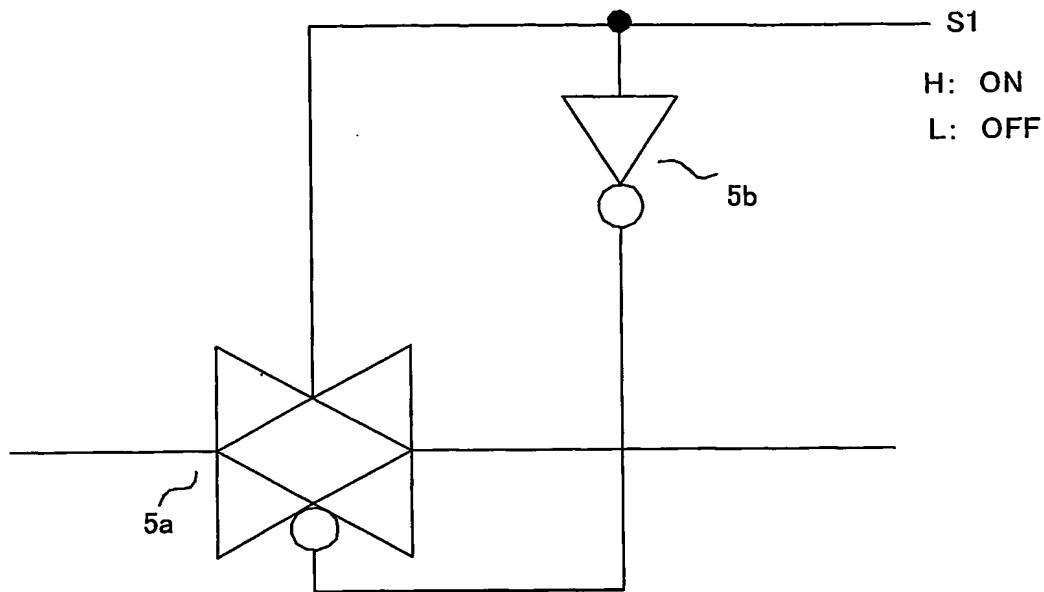
【図5】



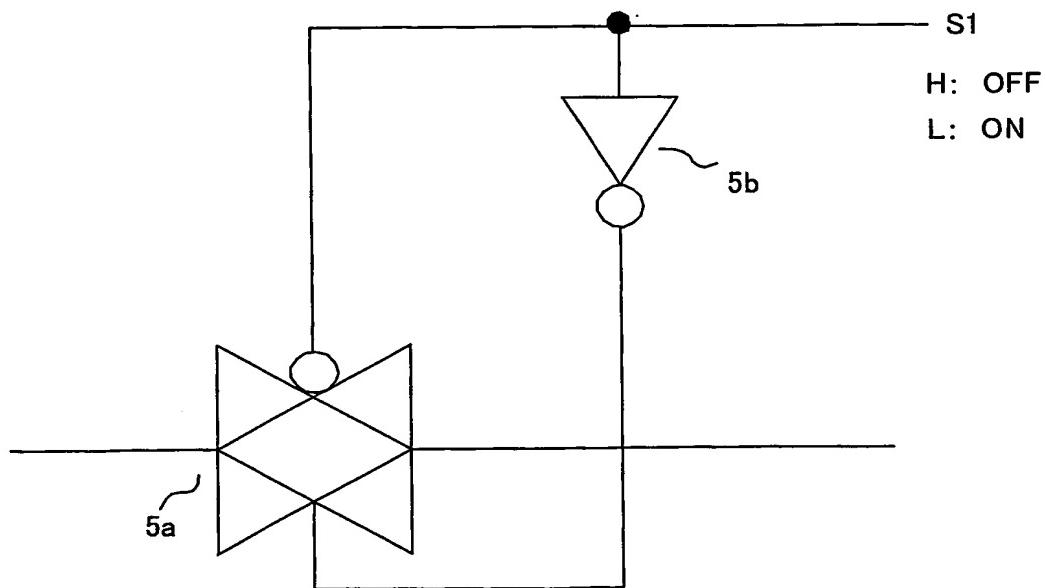
【図6】

20

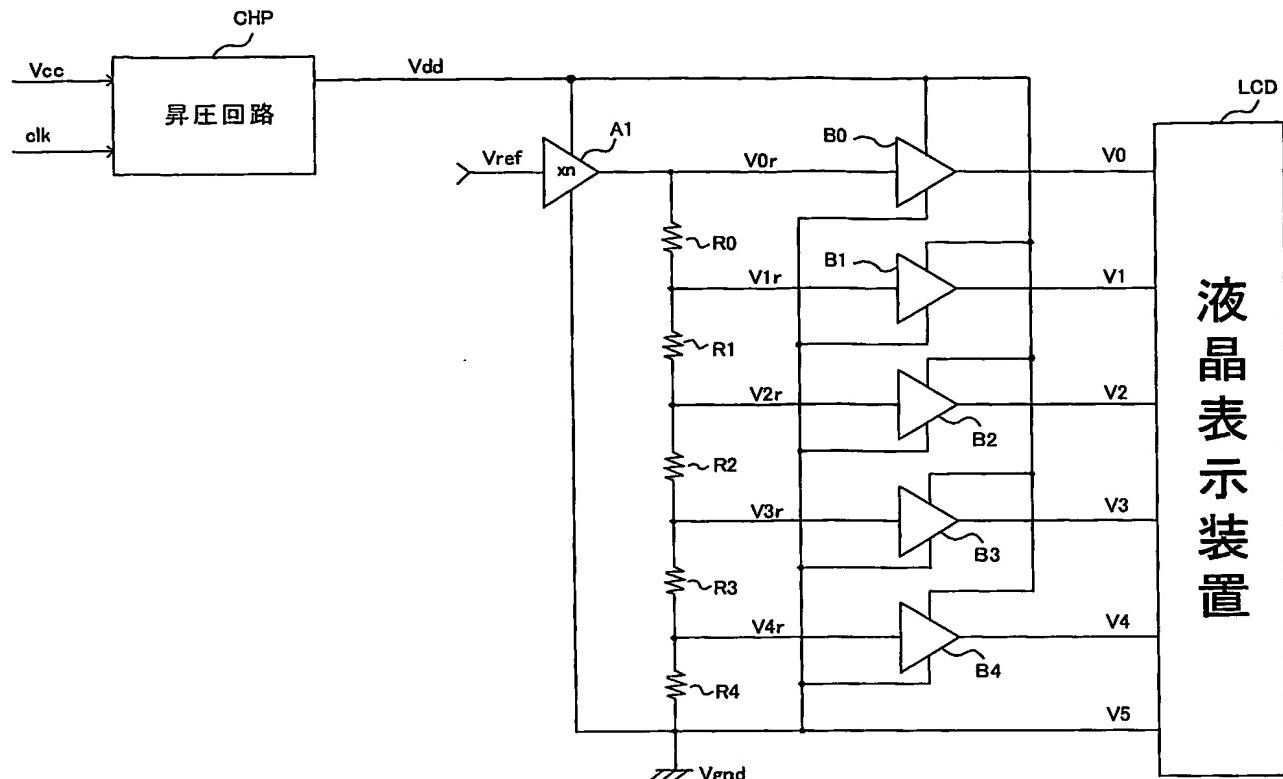
【図7. A】



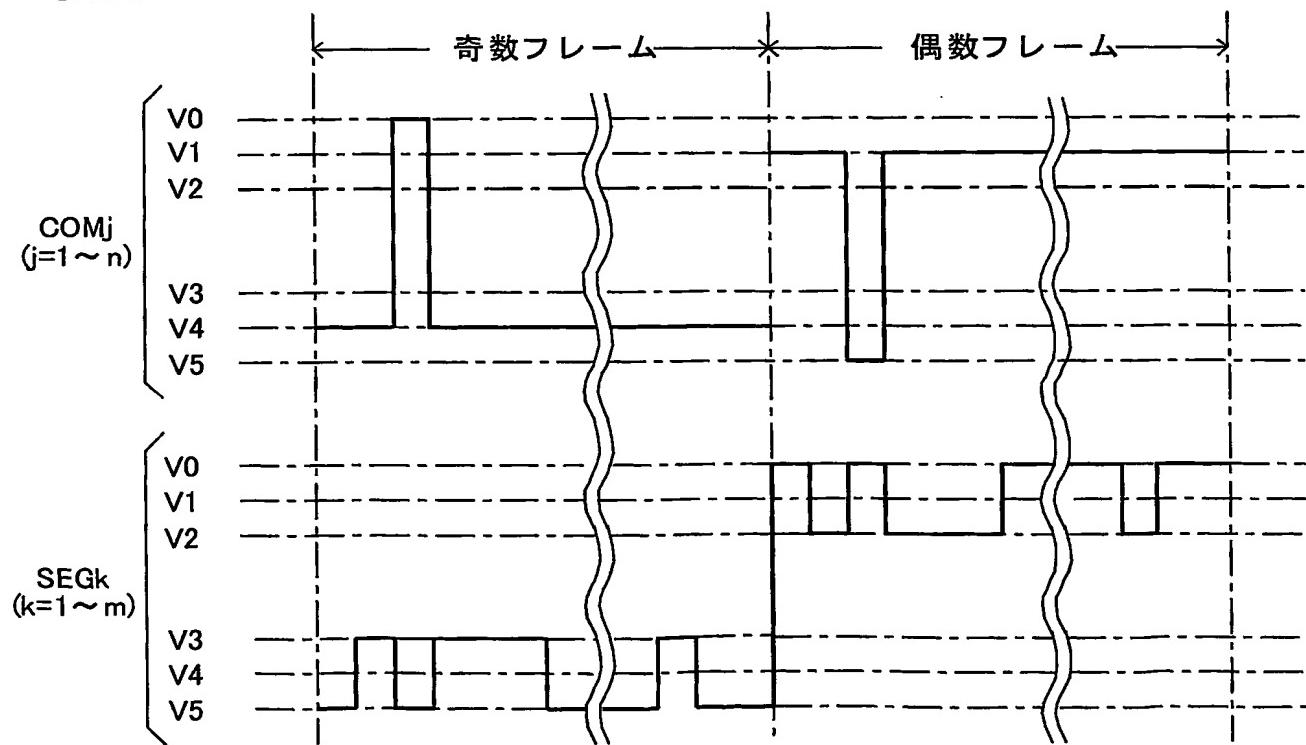
【図7. B】



【図8】



【図9】



【書類名】要約書

【要約】

【課題】マトリクス型の表示装置用駆動装置において、高レベル側への出力電流の駆動能力を大きくした出力回路と低レベル側への出力電流の駆動能力を大きくした出力回路とを不感帯を持たせることなく切り替えることにより、クロストークを低減し、表示品質向上すること。

【解決手段】電源回路のうちの所定のバッファ回路は、同じ出力電圧を常時発生させるようにした、高レベル側への出力電流の駆動能力が大きい第1出力回路と低レベル側への出力電流の駆動能力が大きい第2出力回路とを有する。そして、当該バッファ回路の出力端につながる検出位置の検出電圧とバイアス電圧とを比較して、第1、第2出力回路の出力を切り替えてディスプレイに供給する。

【選択図】 図2

特願 2003-408376

出願人履歴情報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住所 京都府京都市右京区西院溝崎町21番地
氏名 ローム株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/018533

International filing date: 07 December 2004 (07.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-408376
Filing date: 08 December 2003 (08.12.2003)

Date of receipt at the International Bureau: 27 January 2005 (27.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse